

MENU

SEARCH

INDEX

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 06164572

(43)Date of publication of application: 10.06.1994

(51)Int.Cl.

H04L 7/08
H04L 7/00

(21)Application number: 04317198

(71)Applicant:

TOSHIBA CORP

(22)Date of filing: 26.11.1992

(72)Inventor:

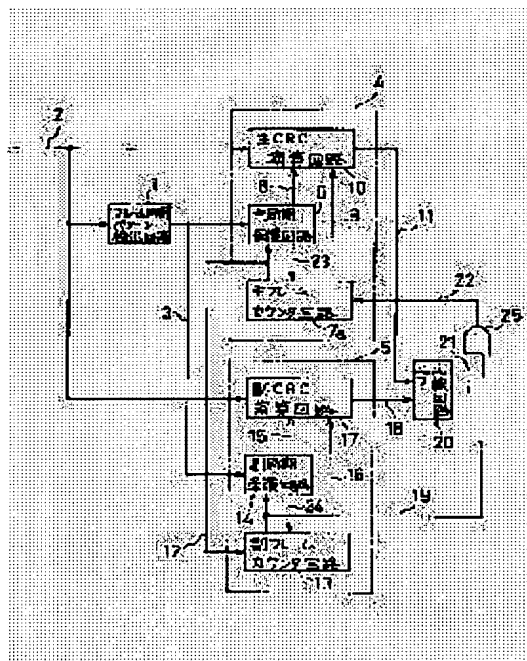
TAKEHARA JUN

(54) FRAME SYNCHRONIZING CIRCUIT/METHOD

(57)Abstract:

PURPOSE: To restore frame synchronization to accurate one in short time even when it becomes erroneous synchronization.

CONSTITUTION: Main and auxiliary synchronization system means 4 and 5 are provided. The main synchronization system means generates a main frame pulse in a one frame equivalent period unit in synchronizing with synchronizing signal detection output and synchronizes frames. The auxiliary synchronization system means synchronizes the frames at timing delayed by a prescribed value. The respective synchronization system means execute CRC calculation for reception data at respective frame synchronous timings. When an error exists, an error signal is generated and the error signals are compared in an error comparison means 20. If the error signal rate of the main synchronizing system means is large when the error signals exists only in the main synchronizing system means or the error signals exist in the main and auxiliary synchronizing system means, a reinstruction signal is generated at the synchronous timing of the auxiliary synchronizing system means. Thus, the synchronization of the main synchronization means is corrected to the timing of the reinstruction signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of
rejection]

[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

[MENU](#)

[SEARCH](#)

[INDEX](#)

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-164572

(43)公開日 平成6年(1994)6月10日

(51)Int.Cl.⁵

H 0 4 L 7/08
7/00

識別記号

庁内整理番号

D 7928-5K
H 7928-5K

F I

技術表示箇所

審査請求 未請求 請求項の数2(全14頁)

(21)出願番号 特願平4-317198

(22)出願日 平成4年(1992)11月26日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 竹原 潤

東京都日野市旭が丘3丁目1番地の1 株
式会社東芝日野工場内

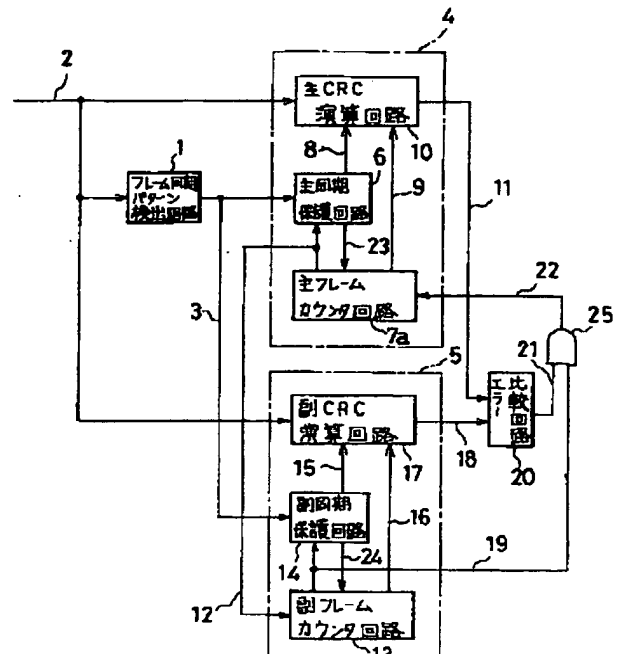
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 フレーム同期回路およびフレーム同期方法

(57)【要約】

【目的】本発明はフレーム同期が誤同期となっても、短時間で正しい同期に復帰することができるようにすることを目的とする。

【構成】主及び副同期系手段4,5を設け同期信号検出力に同期して主同期系手段では1フレーム相当期間単位で主フレームパルスを発生しフレーム同期をとり副同期系手段ではそれより所定値分遅れるタイミングでフレーム同期をとり各同期系手段では大々のフレーム同期タイミングで受信データに対するCRC演算を行い誤りがあればエラー信号を発生させエラー比較手段20にてこれらエラー信号を比較し主同期系手段からのみエラー信号があるときまたは主及び副同期系手段両系統からのエラー信号がある場合での主同期系手段のエラー信号比率の多いときは副同期系手段の同期タイミングで再指令信号を発生させ主同期系手段の同期を該再指令信号のタイミングに修正する構成とする。



【特許請求の範囲】

【請求項1】 伝送フレームによりデータ伝送すると共に伝送フレームには所定パターンのフレーム同期信号と周期冗長検査情報であるCRC情報を付加し、受信側においてCRC情報による符号誤り検出を行うようにしたフレーム伝送システムにおいて、
 受信した伝送フレームからフレーム同期信号を検出する同期信号検出手段と、
 同期外れ時、ハンテイングを行って前記同期信号検出手段の検出出力にてフレーム計数信号を発生し、ハンテイング後は主フレームパルスと前記同期信号検出手段の検出出力のタイミングにより同期検出を行い、所定期間同期状態が検出されると主同期状態信号を発生すると共に、主フレーム計数信号を発生した後は主フレームパルスを受けるまでは前記検出出力に反応しない主保護手段と、
 前記フレーム計数信号を受けるかまたはエラー時再指令信号を受けると主CRC演算指令を発生すると共に、この時点より1フレーム相当の期間経過時に前記主フレームパルスを発生する主フレーム期間管理手段と、
 前記主同期状態信号と主CRC演算指令とを受けると受信フレームの周期冗長検査の演算を実施し、誤りがあるときは第1のエラー信号を出力する主CRC演算手段と、
 前記主保護手段の同期外れ時、ハンテイングを行って前記同期信号検出手段の検出出力にて副フレーム計数信号を発生し、ハンテイング後は副フレームパルスと前記同期信号検出手段の検出出力のタイミングにより同期検出を行い、所定期間、同期状態が検出されると副同期状態信号を発生すると共に、副フレーム計数信号を発生した後は副フレームパルスを受けるまで前記検出出力に反応しない副保護手段と、
 前記副保護手段のハンテイング時では前記主フレームパルス発生後に、また、前記ハンテイング時以外では前記副フレーム計数信号を受けると副CRC演算指令を発生すると共に、その後、1フレーム相当の期間経過時に前記副フレームパルスを発生する副フレーム期間管理手段と、
 前記主同期状態信号とCRC演算指令とを受けるとその時点で受信フレームの周期冗長検査の演算を実施し、誤りがあるときは第2のエラー信号を出力する副CRC演算手段と、
 少なくとも前記主および副CRC演算手段のいずれか一方よりエラー信号出力があるときは複数フレーム期間に亘り、前記主および副CRC演算手段のエラー信号出力を比較すると共に前記主CRC演算手段のエラー信号出力のみ、もしくは主CRC演算手段のエラー信号出力の方が副CRC演算手段のエラー信号出力より発生回数が

し、

前記主フレームパルスにより受信フレームの同期をとることを特徴とするフレーム同期回路。

【請求項2】 伝送フレームによりデータ伝送すると共に伝送フレームには所定パターンのフレーム同期信号と周期冗長検査情報であるCRC情報を付加し、受信側においてCRC情報による符号誤り検出を行うようにしたフレーム伝送システムにおいて、
 主および副同期系を設け、同期信号検出出力に同期して主同期系では1フレーム相当の期間単位で主フレームパルスを発生してフレーム同期をとり、この主フレームパルスを受信同期用のパルスとするようにし、また、副同期系では主同期系より遅れたタイミングで前記同期信号検出出力に同期させて1フレーム相当の期間単位でフレーム同期をとり、主副同期系ではそれぞれのフレーム同期タイミングで受信データに対する周期冗長検査演算を行い、誤りがあればエラー信号を発生させると共に、エラー比較を行って、主同期系のみエラー信号があるとき、もしくは両系統のエラー信号がある場合における主同期系のエラー信号比率の多いときは副同期系の同期タイミングで主同期系の同期のタイミングを修正することを特徴とするフレーム同期方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はデータ伝送装置の誤同期防止と同期復帰時間の迅速化を図ったフレーム同期回路に関するものである。

【0002】

【従来の技術】ディジタルデータをフレーム伝送するにあたり、正常にデータを授受するためにはフレーム同期をとる必要がある。従来この種のデータ伝送装置は、データフレーム中に主データの他、フレーム同期パターン等を付加してあり、伝送されてくるデータフレーム中に含まれるフレーム同期パターンを検出してフレーム同期を確立し、この同期のもとに主データを抽出していた。

【0003】ところで、従来のシステムにおけるこのフレーム同期をとるためのフレーム同期回路は図3に示す如く構成されていた。すなわち、図3において、1は同期パターン検出回路、6は同期保護回路、7はフレームカウンタ回路であって、前記同期パターン検出回路1は伝送路より受信した受信データ2より同期パターンを検出するためのものであり、フレーム同期パターンを検出すると、フレーム同期パターン検出パルス3を発生するものである。

【0004】このような構成の従来装置は、伝送路より受信した受信データ2を同期パターン検出回路1に入力することにより、同期パターン検出回路1は受信データ2より同期パターン検出パルスを検出し、同期パ

【0005】このフレーム同期パターン検出パルス3は同期保護回路6aに与えられ、同期保護回路6aはこのフレーム動機パターン検出パルス3を受けるとフレームカウンタロードパルス23aを発生して、プリセット指令（ロード指令）としてフレームカウンタ回路7aに与える。

【0006】フレームカウンタロードパルス23aを受けると、フレームカウンタ回路7aは所定値（フレーム構成ビット数対応の値）がプリセット（ロード）される。そして、主フレームの伝送ビットレート対応のタイミングでこのプリセット値よりダウンカウント（もしくは、零よりアップカウント）を行い、所定値に達すると、すなわち、零（もしくはプリセット値）に達するとフレームパルス12aを発生して同期保護回路6aに与える。

【0007】同期保護回路6aは、このフレームパルス12aを受ける毎に、そのタイミングでフレーム同期パターン検出パルス3を受ければ同期状態にあるものとし、同期状態信号8aの出力を継続して、フレーム同期状態にあることをシステムに知らせる。

【0008】このように、図3の回路はフレーム同期パターンと同パターンを検出して、伝送フレームの同期をとり、1伝送フレームの周期でこのフレーム同期パターンと同パターンが所定回数検出された段階で同期状態信号8aを出力し、フレーム同期確立を知らせると共に、フレームパルス12aの出力タイミングで受信側のフレーム同期を行うようにしていた。（後方保護）

【0009】一方、同期外れが生じると、フレームパルス12aを受けるタイミングにおいてフレーム同期パターン検出パルス3を受けなくなるが、伝送路の符号誤り等による瞬間的に同期信号が変化する場合等を考慮し、所定回数連続してフレームパルス12aを受けるタイミングにおいてフレーム同期パターン検出パルス3を受けなかったときは、同期状態信号8aの出力を停止し、ハンティングに入る。（前方保護）

【0010】すなわち、同期保護回路6aはフレーム同期パターン検出パルス3を常時検索する。このフレーム同期パターン検出パルス3を常時検索する動作をハンティングと云うが、このハンティングはデータの動作クロック1ビット毎にフレーム同期パターン検出パルス3が発生したか否かを調べることで行う。

【0011】そして、最初のフレーム同期パターン検出パルス3を検出したとき、同期保護回路6aはフレームカウンタロードパルス23aを発生させ、フレームカウンタ回路7aに伝送フレーム1フレーム分対応のプリセット値をロードさせ、ハンティング状態を終了する。正しいフレーム同期位相であれば、フレームカウンタ回路7aから出力されるフレームパルス12aの位置（すなわち、発生タイミング）に次のフレーム同期検出パルスが現われることになるが、もしフレーム同期検出パルスがなければ

ハンティングに移行する。

【0012】ハンティングにより最初のフレーム同期パターン検出パルス3を検出すると、再びこの時点で同期保護回路6aはフレームカウンタロードパルス23aを発生させ、フレームカウンタ回路7aに伝送フレーム1フレーム分対応のプリセット値をロードさせる。

【0013】正しいフレーム同期位相であれば、フレームカウンタ回路7aからのフレームパルス12aの位置で、フレーム同期パターン検出パルス3が検出されるので、このような状態が所定フレーム数に互り、続けば同期確立として同期状態信号8aの出力を開始し、これによりフレーム同期状態になったことをシステムに知らせ、また、前述の同期状態時の動作に入る。

【0014】正しいフレーム同期位相であれば、フレームカウンタから出力されるフレームパルス位置に次のフレーム同期検出パルスが現われることになるが、もし、所定回数連続してフレーム同期検出パルスがなければ、再度ハンティングに移行する。

【0015】ここで、同期外れが生じた際に、上記の従来回路では図5に示す如く、フレーム同期パターンFと同一のパターンのデータDが伝送データ中に周期的に繰り返して、あるいは連続して含まれていると、このデータDをフレーム同期パターンFと見做し（見誤り）、データDの発生タイミングで同期をとるように動作してしまい、誤同期を確立して復帰しなくなると云ったことが起こり得る。この場合、誤同期であるから、この同期タイミングでフレーム同期をとることで得た受信データは全くの誤りとなってしまい、不都合である。

【0016】そこで、この不具合を解決すべく、CRCによる符号誤りの情報を利用する回路構成をとることが考えられるが、このCRCによる符号誤りの情報を利用すると、今度は同期確立に要する時間が長くなると言う問題が生じる。

【0017】ここでCRCとはCyclic Redundancy Check すなわち、周期冗長検査のことであり、巡回符号を用いた誤り検出および訂正方式（サイクルチェック方式）のことである。CRCによる符号誤り検出は、生成多項式 $G(x)$ で割り切れるようにコードを作成して、コードの読出しや受信にあたって $G(x)$ を割り切れるか否かをチェックすることにより、誤りを検査すると云った方式である。

【0018】これは例えば、送信側では $(n-k)$ ビットの情報の多項式 $P(x)$ を k 次の多項式 $G(x)$ で割り算することにより、生じた k ビットのあまり多項式 $R(x)$ を、チェックビットとして情報ビットに付加し、 n ビットのコード $F(x) (= x^k P(x) + R(x))$ を求めて、これをCRCの符号誤り検出コードとして伝送する。受信側では伝送路中での誤り $E(x)$ が加わるので、受信コード

“誤りあり”とする。

【0019】このような処理を行うCRC演算回路10aを用いて、図3の回路を更に改良し、図4のような構成とすると、CRCによる誤同期防止制御を行うことができる。すなわち、送信側において、CRCチェックコードにより送出データを演算し、その演算結果を送信データに付加して送出し、受信側回路にも図4に示すようにCRC演算回路10aを設けて、受信側においても受信データを送信時と同一の演算処理を行って、その演算結果を受信データに付加されてきた結果と比較してデータに誤りがあるか否かを検出する。

【0020】ただし、誤同期によってCRCチェックにエラーが生じたのか、伝送路の劣化によりエラーが生じたのかはわからないので、何フレーム分かにわたり、連続してエラーが生じた場合にのみ、エラー検出出力25を1フレーム相当の期間、CRC演算回路10aが発生し、同期保護回路6bに与えるようにする。

【0021】また、フレームカウンタ回路7bは、フレームカウンタロードパルス23を得るとCRC演算開始パルス9aを出力するように構成してあり、CRC演算回路10aはこのCRC演算開始パルス9aと同期状態信号8aとを受けると、その時点から1フレーム分にわたりCRC演算を行い、このようなCRC演算の結果、エラーが複数フレームに亘って生じる場合にエラー検出出力25を出力する。このエラー検出出力25は同期保護回路6bに与えられる。

【0022】同期保護回路6bは図3で説明した同期保護回路6aの持つ機能の他に、エラー検出出力25が消滅した時点ハンティング状態とし、同期状態信号8aの出力を打ち切ると同時にこの時点からフレーム同期パターン検出回路1の出力であるフレーム同期パターン検出パルス3を受けると、フレームカウンタロードパルス23を発生すると云った機能を持たせてある。

【0023】すなわち、同期保護回路6bはこのエラー検出出力25が消滅した時点でリセット状態とし、同期状態信号8aの出力を打ち切ると同時にこの時点からフレーム同期パターン検出回路1の出力であるフレーム同期パターン検出パルス3を受けると、フレームカウンタロードパルス23を発生してこれをプリセット指令としてフレームカウンタ回路7aに与え、フレームカウンタ回路7aを所定値（フレーム構成ビット数対応の値）にプリセットさせ、主フレームの伝送ビットレート対応のタイミングでこのプリセット値よりダウンカウントを行い、零に達すると（あるいは、零よりカウントを行い、プリセット値に達すると）、フレームパルス12aを発生して同期保護回路6bに与える。

【0024】同期保護回路6bはこのフレームパルス12aを受けたタイミングでフレーム同期パターン検出パルス

“H”）を出力し、これによりフレーム同期状態になったことをシステムに知らせる。

【0025】また、フレームカウンタ回路7aは、フレームカウンタロードパルス23の入力タイミングでCRC演算開始パルス9aを発生するようにしてあり、CRC演算回路10aは同期状態信号8aがない状態（図6の例ではレベル“H”の状態）のとき、このCRC演算開始パルス9aに同期してこのタイミングから所定ビット分の受信データ2（1フレーム分のデータ）のCRC演算を行う。

【0026】このような構成とした場合、今、同期外れが生じてハンティング状にあるものとし、このとき図6に示す如く、フレーム同期パターンFと同一のパターンのデータDが伝送データ中に連続して含まれていると、このデータDをフレーム同期パターンFと見做し（見誤り）、データDの発生タイミングで同期をとるように動作してしまうことがある。

【0027】そして、同期状態信号8aが発生するとCRC演算回路10aはフレームカウンタ回路7aがフレームカウンタロードパルス23aの入力タイミングで発生するCRC演算開始パルス9aに同期してこのタイミングから所定ビット分の受信データ2についてCRC演算を行うことから、このようにフレーム同期パターンと同一パターンの他のデータを、フレーム同期パターンと誤認すると、誤ったフレーム位相で同期を確立していることから、CRCの結果は常に“誤りあり”となる。これにより、誤同期を検出できる。

【0028】そして、CRCの結果が“誤りあり”となる回数を監視して、これが所定値に達した段階で、CRC演算回路10aは1伝送フレーム期間相当分のエラー検出出力25を発生し、このエラー検出出力25が消滅した時点で、同期保護回路6bをリセットすることにより、データDの発生タイミングを外して再び同期確立のための制御に入ることができる。

【0029】このリセットタイミングは1伝送フレーム期間相当分の時間経過した時点であるから、誤同期の原因となったフレーム同期パターンFと同一パターンのデータDの発生タイミング後であり、再同期検索開始後はデータDではなく、本来のフレーム同期パターンFに同期させるように動作させることが可能になる。

【0030】しかしながら、伝送路の品質が悪く、データ誤りの多い回線では正しいフレーム同期が確立していても、CRCの結果は誤るので、誤同期による誤りか、伝送路による誤りかを判定できるようにし、伝送路の品質によるエラーに感応しないようにするために、上述したようにCRCチェックによるそのエラー発生回数を監視し、所定回にわたり、連続して検出されたときに誤同期と判断し、再度同期検索を開始する方式としているために正しい同期確立が成されるまでに要する時間が長く

【発明が解決しようとする課題】上述の如く、従来においてはこのフレーム同期検出はフレーム同期信号と同一のデータパターンの検出を行い、当該データパターンが伝送フレームの周期で数回検出された段階でフレーム同期が確立されたとして、フレーム同期を開始するようにしていた。

【0032】しかし、この場合、フレーム同期パターンと同一パターンのデータが定期的に伝送されるようなケースでは、フレーム同期パターンと同一パターンのデータをフレーム同期パターンと誤認して同期を確立してしまい、誤同期状態に陥ることがある。

【0033】そこで、CRCを利用し、フレーム同期信号でないフレーム同期パターンと同一パターンのデータに対して同期を確立してしまった場合でもその後にフレーム同期をCRCの誤り検出により誤同期を検出して、再同期の起動をかけるようにする方式がとられるようになった。しかし、伝送路の品質が悪く、データ誤りの多い回線では正しいフレーム同期が確立していても、CRCの結果は誤ることもあるので、誤同期による誤りか、伝送路による誤りかを判定するために、誤りが数フレームに亘り、連続して検出されたときに誤同期と判断し、再度同期検索を開始する方式とする必要があった。

【0034】そのため、このような従来方式ではCRCの誤りが連続して所定回、発生するのを確認してから初めて誤同期と確認することになり、その後に再度、同期検索を行うようになっていたために、誤同期を引き込んでから正しい同期が確立されるまでの時間が長くなってしまふと云う問題があった。

【0035】そこで、この発明の目的とするところは、誤同期を防止できるとともに、誤同期となってしまった場合における同期復帰時間を短縮できるようにして正しい同期の確立を迅速に行い得るフレーム同期回路およびフレーム同期方法を提供することにある。

【0036】

【課題を解決するための手段】上記目的を達成するため、本発明は次のように構成する。すなわち、伝送フレームによりデータ伝送すると共に伝送フレームには所定パターンのフレーム同期信号と周期冗長検査情報であるCRC情報を付加し、受信側においてCRC情報による符号誤り検出を行うようにしたフレーム伝送システムにおいて、受信した伝送フレームからフレーム同期信号を検出する同期信号検出手段と、同期外れ時、ハンテイングを行って前記同期信号検出手段の検出出力にてフレーム計数信号を発生し、ハンテイング後は主フレームパルスと前記同期信号検出手段の検出出力のタイミングにより同期検出を行い、所定期間同期状態が検出されると主同期状態信号を発生すると共に、主フレーム計数信号を発生した後は主フレームパルスを受けるまでは前記検出

C演算指令を発生すると共に、この時点より1フレーム相当の期間経過時に前記主フレームパルスを発生する主フレーム期間管理手段と、前記主同期状態信号と主CRC演算指令とを受けると受信フレームの周期冗長検査の演算を実施し、誤りがあるときは第1のエラー信号を出力する主CRC演算手段と、前記主保護手段の同期外れ時、ハンテイングを行って前記同期信号検出手段の検出出力にて副フレーム計数信号を発生し、ハンテイング後は副フレームパルスと前記同期信号検出手段の検出出力のタイミングにより同期検出を行い、所定期間、同期状態が検出されると副同期状態信号を発生すると共に、副フレーム計数信号を発生した後は副フレームパルスを受けるまで前記検出出力に応動しない副保護手段と、前記副保護手段のハンテイング時では前記主フレームパルス発生の際に、また、前記ハンテイング時以外では前記副フレーム計数信号を受けると副CRC演算指令を発生すると共に、その後、1フレーム相当の期間経過時に前記副フレームパルスを発生する副フレーム期間管理手段と、前記主同期状態信号とCRC演算指令とを受けるとその時点での受信フレームの周期冗長検査の演算を実施し、誤りがあるときは第2のエラー信号を出力する副CRC演算手段と、少なくとも前記主および副CRC演算手段のいずれか一方よりエラー信号出力があるときは複数フレーム期間に亘り、前記主および副CRC演算手段のエラー信号出力を比較すると共に前記主CRC演算手段のエラー信号出力のみ、もしくは主CRC演算手段のエラー信号出力の方が副CRC演算手段のエラー信号出力より発生回数が多いとき、副フレームパルスの発生タイミングで前記エラー時再指令信号を発生するエラー比較手段とを具備し、前記主フレームパルスにより受信フレームの同期をとる構成とする。

【0037】また、第2には伝送フレームによりデータ伝送すると共に伝送フレームには所定パターンのフレーム同期信号と周期冗長検査情報であるCRC情報を付加し、受信側においてCRC情報による符号誤り検出を行うようにしたフレーム伝送システムにおいて、主および副同期系を設け、同期信号検出出力に同期して主同期系では1フレーム相当の期間単位で主フレームパルスを発生してフレーム同期をとり、この主フレームパルスを受信同期用のパルスとするようにし、また、副同期系では主同期系より遅れたタイミングで前記同期信号検出出力に同期させて1フレーム相当の期間単位でフレーム同期をとり、主副同期系ではそれぞれのフレーム同期タイミングで受信データに対する周期冗長検査演算を行い、誤りがあればエラー信号を発生させると共に、エラー比較を行って、主同期系のみエラー信号があるとき、もしくは両系統のエラー信号がある場合における主同期系のエラー信号比率の多いときは副同期系の同期タイミングで

【0038】

【作用】このような構成において、伝送フレームによりデータ伝送すると共に伝送フレームには所定パターンのフレーム同期信号とCRC情報を付加し、受信側においてCRCによる符号誤り検出を行うようにした伝送フレーム伝送システムにおけるフレーム同期をとるにあたり、同期信号検出手段は受信した伝送フレームからフレーム同期信号を検出する毎に同期信号検出出力を発生する。同期外れ時、主および副保護手段はハンテイングを行い、このハンテイングでは前記同期信号検出出力を受けると主同期系の主保護手段はフレーム計数信号を発生し、ハンテイングを終了する。

【0039】これにより、主同期系の主フレーム期間管理手段はこの時点で主CRC演算指令を、また、これより1フレーム相当の期間経過時に前記主フレームパルスを発生するので、この主フレームパルスにより主保護手段は同期信号検出出力を受けると再びフレーム計数信号を発生するようになる。主保護手段は上記ハンテイングが済むと主フレームパルスと同期信号検出出力をもとに同期状態を検出し、所定期間同期状態が続けば主同期状態信号を発生する。一方、主同期系の主CRC演算手段は、主CRC演算指令を受ける毎に受信データのCRC演算を行い、データチェックする。

【0040】同様に副同期系の副保護手段は主保護手段の同期外れによりハンテイングに入り、同期信号検出出力を受けるとフレーム計数信号を発生し、ハンテイングを終了する。副フレーム計数信号を受けた副同期系の副フレーム期間管理手段は、前記ハンテイング時では主同期系のフレーム同期時点より所定タイミング遅れて副CRC演算指令を発生すると共に、これより1フレーム相当の期間を計数し、前記副フレームパルスを発生し、また、前記ハンテイング時以外では副フレーム計数信号を受けた時点で副CRC演算指令を発生すると共にこれより1フレーム相当の期間を計数し、前記副フレームパルスを発生するので、この副フレームパルスにより副保護手段は応動禁止状態が解かれ、同期信号検出出力を受けると再びフレーム計数信号を発生するようになる。

【0041】副保護手段はこのようにして副フレームパルスと同期信号検出出力とに基づき、同期状態を検出し、所定期間同期状態が検出されれば副同期状態信号を発生し、また、副同期系の副CRC演算手段は、副CRC演算指令を受ける毎に受信データのCRC演算を行い、データチェックする。副同期系のとる同期タイミングは主同期系に対して、検出される同期パターン1つ分、後のものであるため、伝送フレームにフレーム同期パターンと同一パターンのデータがあった場合、主副両同期系の同期タイミングは、異なることになり、しかも、本来の同期パターンでない場合はCRC演算により

果、誤同期となっている系統ではエラー信号を出すので、エラー比較手段により主副両CRC演算手段の出力を監視し、主同期系のみエラー信号があるとき、または、主副両同期系よりそれぞれエラー信号がある場合において主同期系のエラー信号の数が副同期系のエラー信号の数より多いときは前記副フレーム期間管理手段の出力する副フレームパルスに同期してエラー一時再指令信号を発生し、これにより、前記主フレーム期間管理手段はその時点にフレーム同期のタイミング開始時点を変更して、これより、1フレーム期間、同期信号検出手段の検出出力に対する応動禁止状態にする。そのため、主同期系は同期タイミングが1つずれることになる。

【0043】このように主および副同期系を設け、ハンテイング時には同期信号検出出力に同期して主同期系では1フレーム相当の期間単位で主フレームパルスを発生してフレーム同期を取り、また、副同期系では同期信号検出出力2パルス目に同期して以後、1フレーム相当の期間単位でフレーム同期を取り、主副両同期系ではそれぞれのフレーム同期タイミングで受信データに対するCRC演算を行い、誤りがあればエラー信号を発生させ、エラー比較手段により、これらのエラー信号を比較し、主同期系のみエラー信号があるとき、もしくは両系統のエラー信号がある場合における主同期系のエラー信号比率の多いときは副同期系の同期タイミングでエラー一時再指令信号を発生させ、主同期系の同期をこのエラー一時再指令信号のタイミングに修正するようにしたことにより、副同期系と主同期系が異なるフレーム位相となったときにこれを直ちに修正でき、誤同期状態に固定されることがなくなり、しかも、誤同期してから正しい同期に復帰するまでの時間を短縮できると共に、誤同期の間のデータの誤りを最小限に抑えることができる。

【0044】本発明では、主同期系にて確立されたフレーム同期位相の他に、フレーム同期パターンがないか否かを副同期系にて検索させ、両同期系のフレーム同期位相が同じ場合はそのまま同期確立状態とし、フレーム位相が異なる場合、両CRC演算回路の誤り数を比較し、副同期系のCRC演算において、誤りがある一定連続回数検出されないとき、副同期系のフレーム位相が正しく、主同期系は誤同期であると判断して、主同期系のフレーム位相を副同期系の位相に合致させるようにしているので、誤同期を確実に防止でき、また、誤同期から正同期への移行時間も短縮できる。

【0045】

【実施例】以下、本発明の一実施例について、図面を参照して説明する。図1は本発明の一実施例を示すブロック図であって、1はフレーム同期パターン検出回路、2は受信データ、3はフレーム同期パターン検出パルス、4は主同期回路部、5は副同期回路部、6は主同期保護

路、11は主エラーパルス、12は主フレームパルス、13は副フレームカウンタ回路、14は副同期保護回路、15は副同期状態信号、16は副CRC演算開始パルス、17は副CRC演算回路、18は副エラーパルス、19は副フレームパルス、20はエラー比較回路、21は誤同期状態信号、22は誤同期時主フレームカウンタロードパルス、23は主フレームカウンタロードパルス、25はゲートである。

【0046】これらのうち、上記同期パターン検出回路1は伝送路より受信した受信データ2から同期パターンを検出するためのものであって、フレーム同期パターンを検出すると、フレーム同期パターン検出パルス3を発生するものである。

【0047】また、主同期保護回路6は同期が確立されていない段階ではハンテイングを行い、フレーム同期パターン検出パルス3を受けると主フレームカウンタロードパルス23を発生すると共に、主フレームパルス12を受けるまではその後のフレーム同期パターン検出パルス3には応動しなくなり、ハンテイングによりフレーム同期パターン検出パルス3を検出するとハンテイングを終了し、その後は主フレームパルス12を受けるタイミングで主フレームカウンタロードパルス23を発生すると同時に、フレーム同期パターン検出パルス3を受けるか否かを調べ、当該タイミングでフレーム同期パターン検出パルス3が検出される状態が所定回続けば同期確立として、主同期状態信号8を発生し(図2の例ではレベル“L”の状態)、その後は主フレームパルス12を受けるタイミングでフレーム同期パターン検出パルス3を検知する状態が所定回以上途切れない状態にある間、主同期状態信号8を継続して発生するようにし、主フレームパルス12を受けるタイミングでフレーム同期パターン検出パルス3を検知する状態が所定回以上途切れた場合は、主同期状態信号8を停止し(図2の例ではレベル“H”の状態)、ハンテイングに入ると云った図3の従来装置における同期保護回路6aと同様の基本機能を有している。

【0048】また、上記主フレームカウンタ回路7aは主フレームカウンタロードパルス23を受けると主フレーム構成ビット数対応の値がプリセットされ、フレームの伝送ビットレート対応のタイミングでカウント(ダウンカウント)を進め、そのカウント値が所定値(フレーム構成ビット相当分)に達すると主フレームパルス12を発生するものである(もちろん、零からアップカウントしてプリセット値に達した時点で主フレームパルス12を発生する構成としても良い)。また、主フレームカウンタ回路7aは、主フレームカウンタロードパルス23を受けると、該パルス23の入力タイミングで主CRC演算開始パルス9を発生するようにしてあり、主CRC演算回路10はこの主CRC演算開始パルス9に同期してこのタイミ

【0049】主CRC演算回路10はCRCチェックを利用しての誤同期防止制御を行うためのもので、送信側において、CRCチェックコードにより、送出データを演算し、その演算結果を送信データに付加して送出するものとし、受信側においてこの主CRC演算回路10により、受信データを送信時と同一の演算処理を行って、その演算結果を受信データに付加されてきた結果と比較してデータに誤りがあるか否かを検出するものである。ここでは図4で示した従来例と同様に、主同期状態信号8が出力されていない状態でCRC演算開始パルス9を受ける毎に、この時点より所定ビット(例えば、1フレーム分)に亘りCRC演算を行い、その演算の結果、エラーが発生したときは所定パルス幅の主エラーパルス11を出力するものである。

【0050】すなわち、CRCチェックによりデータ誤りが発見されたときはCRC演算回路10は主エラーパルス11を例えば1フレーム相当の期間、発生してエラー比較回路20に与える。上記6, 7a, 10は主同期回路部4を構成する。

【0051】副同期保護回路14は主同期回路部4が同期外れになるとハンテイング動作を開始し(例えば、主同期状態信号8がなくなったとき(レベル“II”になると)、ハンテイング動作を開始して)フレーム同期パターン検出パルス3を受けると主フレームカウンタロードパルス24を発生すると共に、一旦、ハンテイング動作から抜け、副フレームパルス19のタイミングでフレーム同期パターン検出パルス3を検知できないときは再びハンテイング状態になり、副フレームパルス19のタイミングでフレーム同期パターン検出パルス3を検知した回数が連続して所定回に達した場合は、副同期状態信号15を出力するものである。

【0052】また、副同期保護回路14は副フレームカウンタロードパルス24を1度出力すると、副フレームカウンタ回路13の出力である副フレームパルス19を受けるまでは、フレーム同期パターン検出パルス3を受けても次の副フレームカウンタロードパルス24を発生しないように構成してある。

【0053】副同期保護回路14は主同期保護回路6が同期外れとなったとき(主同期状態信号8が“H”となったとき)、数フレームの期間に亘る前方保護の状態を経て、同期外れの同様の状態すなわち副同期状態信号15を“H”とし、ハンテイング状態に入り、フレーム同期パターン検出パルス3を受けた時点でハンテイング状態を抜ける。副フレームカウンタ回路13は副フレームカウンタロードパルス24を受ける毎に副フレーム構成ビット数対応の値をプリセットし、ハンテイング動作時には主フレームパルス12を受けた後に、それ以外では主フレームパルス12と無関係にフレームの伝送ビットレート対応のタ

プリセット値)に達すると副フレームパルス19を発生すると云った動作をする。

【0054】また、副フレームカウンタ回路13は副フレームカウンタロードパルス24を受ける毎に、該パルス24の入力タイミングで副CRC演算開始パルス16を発生するようにしてあり、副CRC演算回路17はこの副CRC演算開始パルス16に同期してこのタイミングから所定ビット分の受信データ2のCRC演算を行うものとする。

【0055】副CRC演算回路17はCRCチェックによる誤同期防止制御を行うためのもので、副CRC演算開始パルス16を受けて動作し、受信データ2を送信時と同一の演算処理を行って、その演算結果を、受信データ2に付加されてきた結果と比較してデータに誤りがあるか否かを検出するものである。この検出によりデータ誤りが発見されたときは副CRC演算回路17は副エラーパルス18を所定フレーム数相当の期間、発生してエラー比較回路20に与える。上記13、14、17は副同期回路部5を構成する。

【0056】また、エラー比較回路20は主エラーパルス10および副エラーパルス18を受けると数パルスに亘り、比較して、主エラーパルス10が連続するか、主エラーパルス10が副エラーパルス18を上回る場合に誤同期状態信号21を出力すると共に、ゲート25はこの誤同期状態信号21と副フレームカウンタ回路13の出力する副フレームパルス19とを受けると、誤同期時主フレームカウンタロードパルス22を出力して主フレームカウンタ回路7aに与えるものである。次にこのような構成の本装置の作用について説明する。

【0057】フレーム同期パターン検出回路1に受信データ2を入力することにより、フレーム同期パターン検出回路1は受信データ2の中からフレーム同期パターンを検出する。そして、フレーム同期パターン検出回路1はフレーム同期パターンを検出した位置でフレーム同期パターン検出パルス3を出力する。フレーム同期パターン検出パルス3は、主同期回路部4および副同期回路部5の主同期保護回路6および副同期保護回路14に入力される。

【0058】同期外れ時、主同期保護回路6はハンディンク状態になり、このフレーム同期パターン検出パルス3を受けると、主フレームカウンタロードパルス23を発生してプリセット指令として主フレームカウンタ回路7aに与えるので、これを受けると主フレームカウンタ回路7aは所定値がプリセットされる。尚、主フレームカウンタロードパルス23は1度出力されると、主フレームパルス12を受けるまではフレーム同期パターン検出パルス3を受けても発生されないように主同期保護回路6は構成してあるので、この状態でその後にフレーム同期パターン検出パルス3を受けても、主同期保護回路6は主フレ

て、プリセットされた主フレームカウンタ回路7aは、主フレームの伝送ビットレート対応のタイミングでこのプリセット値よりダウンカウント（或いはアップカウント）を行い、所定値に達すると、すなわち、零（またはプリセット値）に達すると主フレームパルス12および主CRC演算開始パルス9を発生して主同期保護回路6に与える。主同期保護回路6はこの主フレームパルス12を受けたタイミングでフレーム同期パターン検出パルス3の有無を調べ、当該検出パルス3が無ければハンディンクを再開し、上記タイミング時に当該検出パルス3が検出されれば主フレームカウンタロードパルス23を出力し、前述した後方監視の状態を続ける。後方監視の期間において、主同期保護回路6はこの主フレームパルス12の発生タイミングでのフレーム同期パターン検出パルス3の出現と云う状況が所定回、続いた段階で主同期状態信号8を出力し、これによりフレーム同期状態になったことをシステムに知らせる。システムでは主フレームパルス12の発生タイミングでフレーム同期を開始し、データの抽出を行う。

【0060】このようにして主同期保護回路6と主フレームカウンタ7aにより同期が確立され、同期状態を示す主同期状態信号8が出力されると、主フレームパルス12のタイミングによりフレーム同期を開始するが、これと同時に、主同期状態信号8を主CRC演算回路10に与えてCRC演算を開始させる。主CRC演算回路10は主同期状態信号8を受ける状態において、主CRC演算開始パルス9が発生する毎に、受信データ2についてのCRC演算を開始し、その結果、エラー（誤り）が検出されたときは主エラーパルス11を出力する。

【0061】また、前記主フレームパルス12は副フレームカウンタ13にも入力され、副フレームカウンタ13は同期外れ時において、この主フレームパルス12の入力タイミングより少なくとも1伝送クロック分、遅れてカウントを開始する。

【0062】一方、副同期保護回路14はハンディンク状態において、このフレーム同期パターン検出パルス3を受けると、このフレーム同期パターン検出パルス3のパルスタイミングで副フレームカウンタロードパルス24を発生し、これをプリセット指令として副フレームカウンタ回路13に与えるので、これを受けると、副フレームカウンタ回路13には所定値（1フレーム分の構成ビット数対応の値）がプリセットされる。尚、副フレームカウンタロードパルス24は1度出力されると、副フレームカウンタロードパルス24を受けるまではフレーム同期パターン検出パルス3を受けても発生されないように副同期保護回路14は構成してあるので、この状態でその後にフレーム同期パターン検出パルス3を受けても、副同期保護回路14は副フレームカウンタロードパルス24を発生しな

【0063】副フレームカウンタロードパルス24を受けてフレーム構成ビット対応の値がプリセットされた副フレームカウンタ回路13は、主フレームパルス12の入力タイミングより少なくとも1伝送クロック分、遅れてカウントを開始する。そして、主フレームの伝送ビットレート対応のタイミングでこのプリセット値をダウンカウント（あるいはアップカウント）し、カウンタの値が零（あるいはプリセット値）に達すると副フレームパルス19および副CRC演算開始パルス16を発生して副同期保護回路14と副CRC演算回路17に与える。

【0064】副同期保護回路14はこの副フレームパルス19を所定数（ここでは3回）受けると副同期状態信号15（レベル“L”）を出力する。また、副CRC演算回路17は副同期状態信号14を受ける状態において、副CRC演算開始パルス16が出力される毎に、受信データ2についてのCRC演算を開始する。その結果、エラー（誤り）が検出されたときは副CRC演算回路17は副エラーパルス18を出力する。

【0065】このようにして、副同期回路部5においては、副フレームカウンタ回路13や副同期保護回路14、副CRC演算回路17の作用によって、主フレームパルスの次の位置から3フレームに亘り、パターン検索し、主同期回路部4にて得られたフレーム位相と異なるフレーム位相の存在の有無を検索し、また、副同期回路部5の同期が確立すると、副同期状態信号15が発生し、これは副CRC演算回路17に与えられると共に、副フレームカウンタ回路13は副同期系の同期タイミングに合わせるかたちで1フレーム期間経過毎に副CRC演算開始パルス16を出力して副CRC演算回路17に与えるので、副同期状態信号15を受けている間において、この副CRC演算開始パルス16が与えられる毎に副CRC演算回路17がCRC演算を行う。そして、エラーが検出されたときは副エラーパルス18を出力する。

【0066】主フレームパルス12と副フレームパルス19の位相が一致した場合は、フレーム中に同期パターンがただ一つであり、正しい同期が確立されたと見做すことができる。従って、主同期状態信号8の発生タイミングで開始したフレーム同期は正しい同期として使用できる。同期が正しくとられている場合は主エラーパルス11と副エラーパルス18は発生しないので、この両パルス11、18を入力とするエラー比較回路20は出力を発生しない。

【0067】主フレームパルス12と副フレームパルス19の位相が一致しなかった場合は、主同期回路部4および副同期回路部5のいずれかが誤同期であることを示すので、エラー比較回路20により、主エラーパルス11と副エラーパルス18とを数パルスに亘り比較する。すなわち、主エラーパルス11と副エラーパルス18のいずれかが発生

その結果、主エラーパルス11が連続してある場合、または、主エラーパルス11と副エラーパルス18の両方があるが、主エラーパルス11の方が多い場合に、誤同期状態信号21を出力を発生する。そして、これをゲート25に与える。

【0068】ゲート25には副フレームカウンタ回路13の出力である副フレームパルス19が与えられるので、誤同期状態信号21発生後、この副フレームパルス19の発生タイミングで誤同期時主フレームカウンタロードパルス22が出力される。

【0069】誤同期時、主フレームカウンタロードパルス22が出力されると、これを受けて主フレームカウンタ回路7aはプリセット値が再ロードされ、これを伝送フレームのビットレートに合わせてダウンカウント（あるいはアップカウント）する。そして、零（あるいはプリセット値）になったとき、主フレームパルス12を発生させる。

【0070】そのため、主フレームカウンタ回路7aからの主フレームパルス12の発生タイミングがその分ずれることになり、主フレームパルス12が出力されないと、フレーム同期パターン検出パルス3を受けても主同期保護回路6は誤同期時主フレームカウンタロードパルス23を出力しないこと、そして、誤同期時主フレームカウンタロードパルス22の発生タイミングが、副フレームパルス19の発生タイミングであることの2点から、今までの副同期系における同期タイミングに合わせられることになる。従って、この後は主同期系は副同期系における同期タイミングに位相が合わせられて動作することになる。

【0071】一方、副同期回路部5の系統では、ハンディンク状態で得た同期タイミングでフレーム同期をとりながら、後方保護の状態を経て同期状態になるので、一旦、正しい同期状態に引き込まれれば誤同期となることがない。そして、副同期状態信号15を受けている間において、この副CRC演算開始パルス16が与えられる毎に副CRC演算回路17がCRC演算を行うが、正しい同期状態に引き込まれているので、伝送路劣化等がない限り、CRCチェックにエラーは生じない。

【0072】このようにした結果、主フレームパルス12と副フレームパルス19の位相が一致しなかった場合は、主同期回路部4および副同期回路部5のいずれかが誤同期であることを示すので、エラー比較回路20により、主エラーパルス11と副エラーパルス18とを数パルスに亘り比較し、その比較の結果、主エラーパルス11が検出され、副エラーパルス18がある一定数、検出されないときは、主同期回路部4が誤同期であるので、誤同期状態信号21を変化させ、誤同期時主フレームカウンタロードパルス22によって主フレームカウンタ7aを再ロードすることにより、主フレームカウンタ7aを副フレームカウンタ

ある一定数、検出されず、副エラーパルス18が検出されるときは、副同期回路部5が誤同期であるので、誤同期状態信号21は変化させずに、現状のまま、主同期回路部4を動作させることができる。更にまた、主エラーパルス11と副エラーパルス18の両方が検出されるケースは、一つは正しい同期状態において、伝送路が劣化して符号誤りが生じている場合であり、もう一方は誤同期により誤りが生じていると場合が考えられるが、誤同期による誤りは、ほぼ毎フレーム検出されるが、伝送路の劣化による誤りはそれを越えることはまず無いと云えるので、主エラーパルス11と副エラーパルス18を数ビット比較し、エラーの少ない方が正しい同期状態であると判断できる。

【0073】このようなものであるから、ひとたび誤同期を引き込んで、主同期回路の同期状態を維持したまま、直ちに正しいフレーム位相に移行することができ、しかも、ほぼ確実に誤同期から回避することができる。

【0074】図2は本発明の一実施例の動作を説明するためのタイミングチャートであり、誤同期を引き込んでから、正しい同期状態に移行するまでを示している。この図では主系統が誤同期となっている場合における例であり、主エラーパルス11を5パルス分比較した段階で不一致と判断し、誤同期状態信号21を出力し、その後の最初の副フレームパルス19の発生時点で誤同期時主フレームカウンタロードパルス22を発生し、これにより主フレームカウンタ回路7aをプリセットするので、主フレームカウンタ回路7aの主CRC演算開始パルス9の発生がその分、遅れることになり、一方、主CRC演算回路4は1伝送フレーム期間分が終了した時点で主エラーパルス11を出力しなくなる。

【0075】そして、主フレームカウンタ回路7aのプリセットは、副フレームパルス19の発生時点であり、この時点より、1フレーム後に副フレームパルス19を出力する。そのため、当該副フレームパルス19出力時点で入力されるフレーム同期パターン検出回路1からのフレーム同期パターン検出パルス3により主同期回路部4は同期をとり始めるので正しく同期がとれるようになる。

【0076】以上説明したように、伝送フレームによりデータ伝送すると共に伝送フレームには所定パターンのフレーム同期信号とCRC（周期冗長検査）情報を付加し、受信側においてCRCによる符号誤り検出を行うようにしたフレーム伝送システムにおいて、受信した伝送フレームからフレーム同期信号を検出する同期信号検出手段（フレーム同期パターン検出回路）と、同期外れ時にハンティングを行ってこの同期信号検出手段の検出出力にてフレーム計数信号を発生し、ハンティング後は主フレームパルスと前期同期信号検出手段の検出出力のタイミングにより同期検出を行い、所定期間同期状態が検

した後は主フレームパルスを受けるまでは前記検出出力に応動しない主保護手段（主同期保護回路）と、前記フレーム計数信号を受けるかまたはエラー時再指令信号

（誤同期時主フレームカウンタロードパルス）を受けると主CRC演算指令（主CRC演算開始パルス）を発生すると共に、この時点より1フレーム相当の期間経過時に前記主フレームパルスが発生する主フレーム期間管理手段（主フレームカウンタ回路）と、前記主同期状態信号と主CRC演算指令を受けると受信フレームのCRC演算を実施し、誤りがあるときは第1のエラー信号を出力する主CRC演算手段（主CRC演算回路）と、前記主保護手段の同期外れ時、ハンティングを行って前記同期信号検出手段の検出出力にて副フレーム計数信号

（副フレームカウンタロードパルス）を発生し、ハンティング後は副フレームパルスと前記同期信号検出手段の検出出力により同期検出を行い、所定期間、同期状態が検出されると副同期状態信号を発生すると共に、副フレーム計数信号（副フレームカウンタロードパルス）を発生した後は副フレームパルスを受けるまで前記検出出力に応動しない副保護手段（副同期保護回路）と、前記副保護手段のハンティング時では前記主フレームパルス発生後に、また、前記ハンティング時以外では前記副フレーム計数信号を受けると副CRC演算指令を発生すると共に、その後、1フレーム相当の期間経過時に前記副フレームパルスおよび副CRC演算指令を発生する副フレーム期間管理手段（副フレームカウンタ回路）と、前記主同期状態信号とCRC演算指令を受けるとその時点での受信フレームのCRC演算を実施し、誤りがあるときは第2のエラー信号を出力する副CRC演算手段

（副CRC演算回路）と、少なくとも前記主および副CRC演算手段のいずれか一方よりエラー信号出力があるときは複数フレーム期間に互い、前記主および副CRC演算手段のエラー信号出力を比較すると共に前記主CRC演算手段のエラー信号出力のみ、もしくは主CRC演算手段のエラー信号出力の方が副CRC演算手段のエラー信号出力より発生回数が多いとき、副フレームパルスの発生タイミングで前記エラー時再指令信号を発生するエラー比較手段（エラー比較回路）とより構成したものである。

【0077】このような構成において、伝送フレームによりデータ伝送すると共に伝送フレームには所定パターンのフレーム同期信号とCRC情報を付加し、受信側においてCRCによる符号誤り検出を行うようにした伝送フレーム伝送システムにおけるフレーム同期をとるにあたり、同期信号検出手段は受信した伝送フレームからフレーム同期信号を検出する毎に同期信号検出出力を発生する。同期外れ時、主および副保護手段はハンティングを行い、このハンティングでは前記同期信号検出出力を

の主フレーム期間管理手段はこの時点で主CRC演算指令を、また、これより1フレーム相当の期間経過時に前記主フレームパルスが発生するので、この主フレームパルスにより主保護手段は同期信号検出力を受けると再びフレーム計数信号を発生するようになる。主保護手段は上記ハンティングが済むと主フレームパルスと同期信号検出力をもとに同期状態を検出し、所定期間同期状態が続けば主同期状態信号を発生する。一方、主同期系の主CRC演算手段は、主CRC演算指令を受ける毎に受信データのCRC演算を行い、データチェックする。

【0078】同様に副同期系の副保護手段は主保護手段の同期外れによりハンティングに入り、同期信号検出力を受けるとフレーム計数信号を発生し、ハンティングを終了する。副フレーム計数信号を受けた副同期系の副フレーム期間管理手段は、前記ハンティング時では主同期系のフレーム同期時点より所定タイミング遅れて副CRC演算指令を発生すると共に、これより1フレーム相当の期間を計数し、前記副フレームパルスが発生し、また、前記ハンティング時以外では副フレーム計数信号を受けた時点で副CRC演算指令を発生すると共にこれより1フレーム相当の期間を計数し、前記副フレームパルスが発生するので、この副フレームパルスにより副保護手段は応動禁止状態が解かれ、同期信号検出力を受けると再びフレーム計数信号を発生するようになる。

【0079】副保護手段はこのようにして副フレームパルスと同期信号検出力とに基づき、同期状態を検出し、所定期間同期状態が検出されれば副同期状態信号を発生し、また、副同期系の副CRC演算手段は、副CRC演算指令を受ける毎に受信データのCRC演算を行い、データチェックする。副同期系の同期タイミングは主同期系に対して、検出される同期パターン1つ分、後のものであるので、伝送フレームにフレーム同期パターンと同一パターンのデータがあった場合、主副両同期系の同期タイミングは、異なることになり、しかも、本来の同期パターンでない場合はCRC演算によりチェックすることができる。

【0080】そして、主副両CRC演算手段の演算の結果、誤同期となっている系統ではエラー信号を出すので、エラー比較手段により主副両CRC演算手段の出力を監視し、主同期系のみエラー信号があるとき、または、主副両同期系よりそれぞれエラー信号がある場合において主同期系のエラー信号の数が副同期系のエラー信号の数より多いときは前記副フレーム期間管理手段の出力する副フレームパルスに同期してエラー時再指令信号を発生し、これにより、前記主フレーム期間管理手段はその時点にフレーム同期のタイミング開始時点を変更して、これより、1フレーム期間、同期信号検出手段の検出力に対する応動禁止状態にする。そのため、主同期

タイミング時には同期信号検出力に同期して主同期系では1フレーム相当の期間単位で主フレームパルスが発生してフレーム同期をとり、また、副同期系では同期信号検出力2パルス目に同期して以後、1フレーム相当の期間単位でフレーム同期をとり、主副同期系ではそれぞれのフレーム同期タイミングで受信データに対するCRC演算を行い、誤りがあればエラー信号を発生させ、エラー比較手段により、これらのエラー信号を比較し、主同期系のみエラー信号があるとき、もしくは両系統のエラー信号がある場合における主同期系のエラー信号比率の多いときは副同期系の同期タイミングでエラー時再指令信号を発生させ、主同期系の同期をこのエラー時再指令信号のタイミングに修正するようにしたことにより、副同期系と主同期系が異なるフレーム位相となったときにこれを直ちに修正でき、誤同期状態に固定されることがなくなり、しかも、誤同期してから正しい同期に復帰するまでの時間を短縮できると共に、誤同期の間のデータの誤りを最小限に抑えることができる。尚、本発明は上記し、且つ、図面に示す実施例に限定することなく、その要旨を変更しない範囲内で適宜変形して実施し得るものである。

【0082】

【発明の効果】以上詳述したように本発明によれば、フレーム同期が誤同期となっても、正しい同期に復帰することができ、しかも、正しい同期に復帰するまでの制御時間を短縮することができて、誤同期の間のデータの誤りを最小限に抑えることができるようにしたフレーム同期回路およびフレーム同期方法を提供できる。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図。

【図2】本発明の作用を説明するためのタイミングチャート。

【図3】従来例を示すブロック図。

【図4】従来例を示すブロック図。

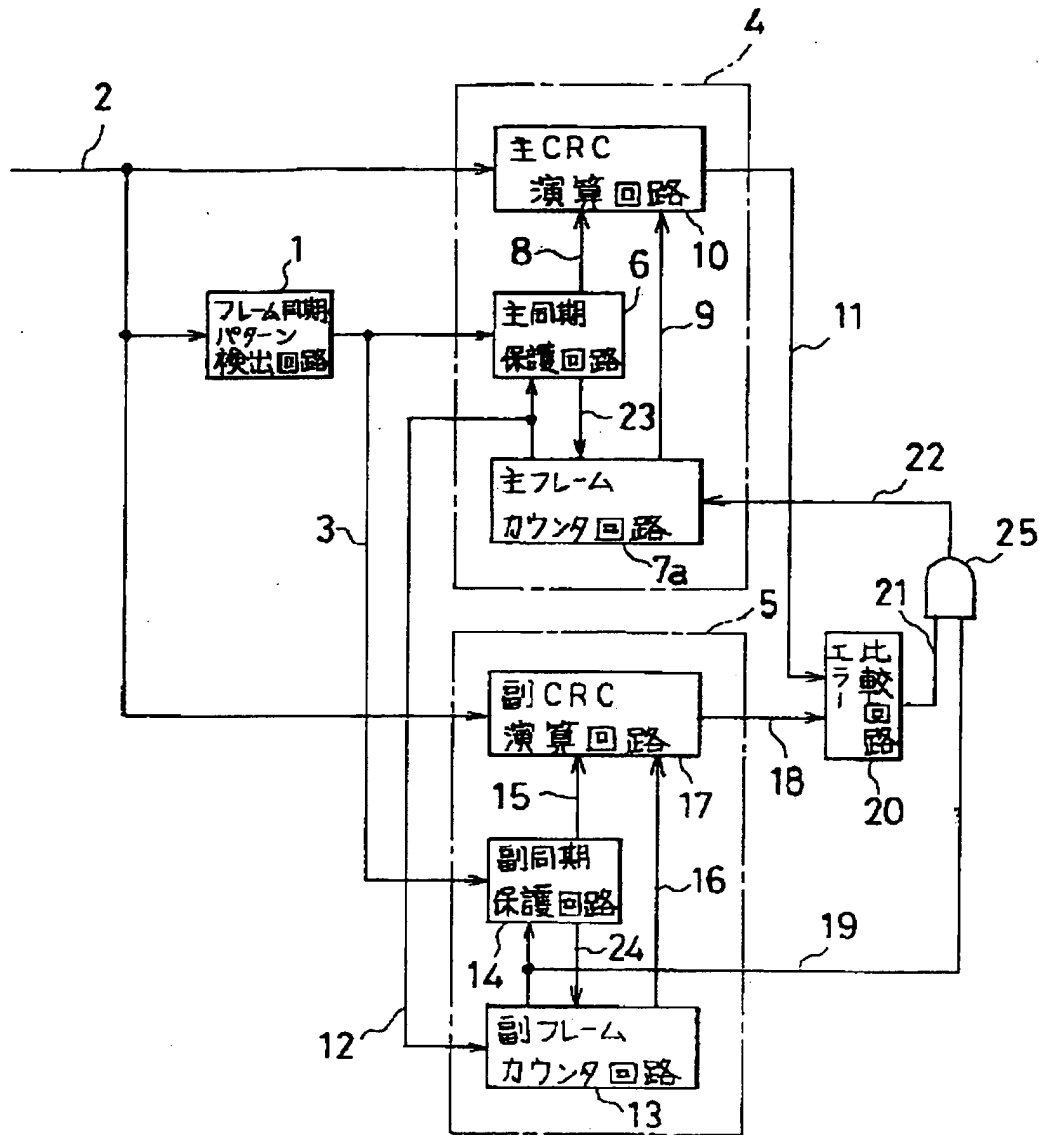
【図5】従来例を説明するためのタイミングチャート。

【図6】従来例を説明するためのタイミングチャート。

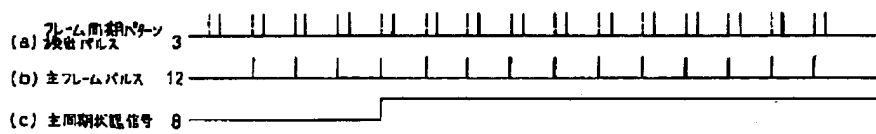
【符号の説明】

1…フレーム同期パターン検出回路、2…受信データ、3…フレーム同期パターン検出パルス、4…主同期回路部、5…副同期回路部、6…主同期保護回路、7a…主フレームカウンタ回路、8…主同期状態信号、9…主CRC演算開始パルス、10…主CRC演算回路、11…主エラーパルス、12…主フレームパルス、13…副フレームカウンタ回路、14…副同期保護回路、15…副同期状態信号、16…副CRC演算開始パルス、17…副CRC演算回路、18…副エラーパルス、19…副フレームパルス、20…エラー比較回路、21…誤同期状態信号、22…誤同期時主フ

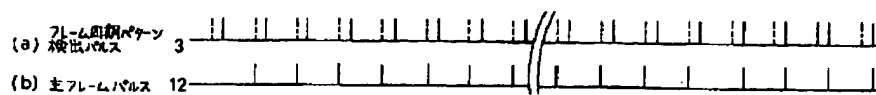
【図1】



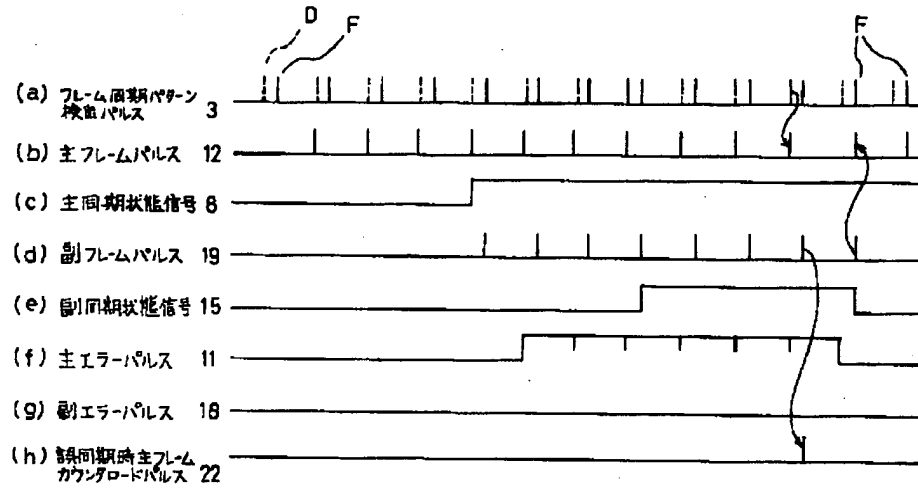
【図5】



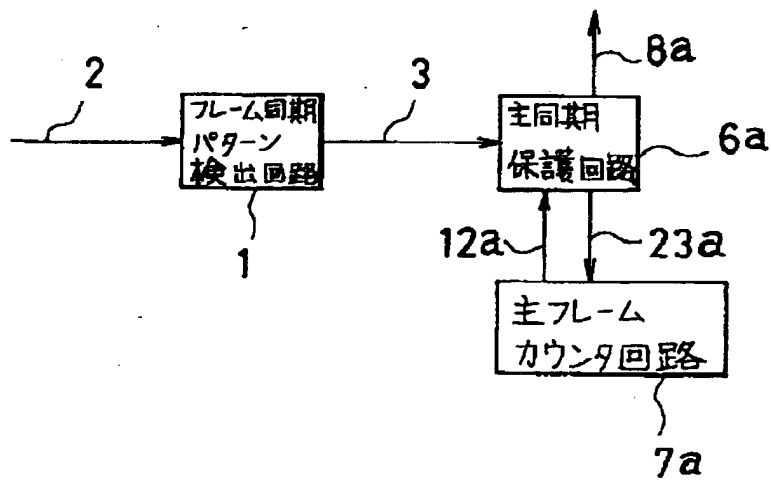
【図6】



【図2】



【図3】



【図4】

